

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-029454

(43)Date of publication of application : 04.02.1994

(51)Int.Cl.

H01L 23/50

(21)Application number : 04-182661

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.07.1992

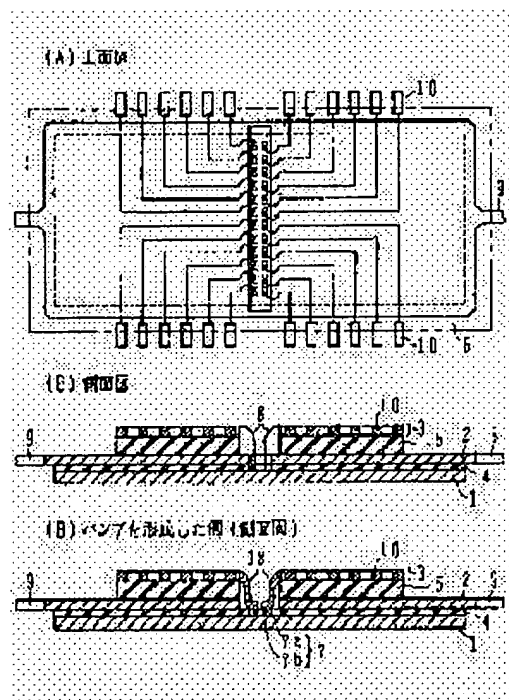
(72)Inventor : NAGAYAMA HIROSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To shut off a distortion stress from a lead layer by a frame and to eliminate failure of an LOC(lead-on-chip) function by separating a semiconductor chip from the layer by a frame layer.

CONSTITUTION: The semiconductor device comprises a semiconductor chip 1 in which semiconductor elements are integrated. The device comprises a frame 2 laminated on a surface of the chip 1 through a first insulating adhesive layer 4 and having a through hole, and a lead layer 3 laminated on the frame 2 through a second insulating adhesive layer 5. Further, the device comprises a conductive member 8 for electrically connecting the layer 3 to the chip 1 via a through hole, and resin 6 for molding the entire chip 1. Thus, even if it is used in a severe temperature and humid environment, a lead-on-chip(LOC) structure in which influence of a generated distortion stress to the chip can be suppressed to a minimum limit is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the integration semiconductor device which has the package structure of a lead method on chip about a semiconductor device.

[0002] The packaging of an LSI device has also come to be elaborated as the degree of integration of a semiconductor device increases in recent years. In order to transmit a ultra high-speed electrical signal between many input/output terminals and an integration semiconductor chip, it is necessary to make a wiring path into the shortest and to secure the flexibility of mounting wiring. Lead structure on chip (LOC) is put in practical use by this purpose as **** packaging.

[0003]

[Description of the Prior Art] On a semiconductor chip, through shock absorbing material, it wires and the packaging of a LOC method has a laminating and the structure which mounted and carried out mold to the stem for a lead layer. Drawing 2 (A) shows the plan and drawing 2 (B) shows the cross section.

[0004] That is, many semiconductor devices are integrated by the semiconductor chip 11 mounted on the frame (stem) 12, and intensive wiring of the bonding pad is carried out in the chip center section.

[0005] The wire 15 has connected between the lead layers 13 with the bonding pad of said semiconductor chip 11 center section through the through tube of the lead layer 13 prepared the thick insulating layer 14 prepared on the semiconductor chip 11, and on it.

[0006] In this condition, the mold of the LOC is carried out by the resin layer 16, and it is intercepted with the open air. Only the fixed-end child 23 of a frame 12 and the external contact pin 22 of the lead layer 13 have structure projected to the exterior from the mold portion.

[0007]

[Problem(s) to be Solved by the Invention] The lead layer 13 and the external contact pin 22 are the products made from an alloy (usually iron nickel alloy), and its coefficient of thermal expansion is comparatively large. Although a LOC package is used under various conditions, when placed in addition to the fully controlled temperature-and-humidity environment, the resin mold of this package contracts to an ununiformity under the effect of heat or humidity.

[0008] At this time, the lead layer 13 and the external contact pin 22 generate uneven distorted stress at least in each part of a mold layer, and in being extreme, it damages the insulating layer 14 to which that stress spread to the insulating layer 14, and serves as the protective layer of a semiconductor chip 11. Consequently, humidity etc. invades and it becomes the cause of the occurrences of accident, such as a short circuit, from a failure part.

[0009] The gap of the lead layer 13 and the external contact pin 22 is extended, or the necessity of making thickness of an insulating layer 14 increasing in order to increase distorted pressure-proofing arises in order to avoid this, and to reduce the stress per unit area. Consequently, the tylosis was carried out and enlargement and the trouble that it could not contain in a thin package arose [LOC structure].

[0010] Even if it uses the purpose of this invention in severe temperature-and-humidity environment, it is offering the semiconductor device of the LOC structure which can control the effect the distorted

stress to generate affects a semiconductor chip to the minimum.

[0011]

[Means for Solving the Problem] In a semiconductor device of this invention, LOC structure which separated a semiconductor chip and a lead layer by frame is taken.

[0012] That is, the laminating of the semiconductor device of this invention is carried out to the surface of a semiconductor chip which integrated a semiconductor device, and a semiconductor chip through the 1st insulating glue line, and it has resin which carries out the mold of the whole semiconductor chip to this lead layer and a conductive member which performs electrical installation between said semiconductor chips through a frame which has a through tube, a lead layer by which the laminating was carried out through the 2nd insulating glue line on this frame, and said through tube.

[0013]

[Function] The distorted stress from a lead layer can be intercepted with a frame, without increasing the whole thickness by separating a semiconductor chip from a lead layer by the frame. Consequently, a LOC function is not lost in thin packaging.

[0014] Hereafter, this invention is described in more detail based on an example.

[0015]

[Example] Drawing 1 is the plan (A) and cross section (B) showing the package structure outline of the semiconductor device which is the example of this invention.

[0016] The upper surface of the semiconductor chip 1 which has arranged the bonding pad in the upper surface center section was covered by the 1st insulating glue line 4 where the opening only of the bonding pad section is carried out, and it is pasted up on the inferior surface of tongue of a frame 2.

[0017] The 1st insulating glue line 4 consists of thermosetting resin, and in ordinary temperature, since it has viscosity, it also plays the role of adhesives. The through tube which carried out the opening to the bonding pad section of said semiconductor chip 1 is prepared in the frame 2.

[0018] On the other hand, the lead layer 3 has been arranged at the upper surface side of a frame 2, and is pasted up through the 2nd insulating glue line 5. The 2nd insulating glue line 5 has the same through tube as the contact hole of the lead layer 3, for example, consists of an oxide film of polyimide covering.

[0019] The lead layer 3 and the external contact pin 10 consist of 42 alloys of for example, iron-nickel. A wire 8 connects between the lead of the lead layer 3, and the bonding pad of a semiconductor chip 1.

[0020] With LOC structure as shown in drawing 1 (A) and (B), since the lead layer 3 can be beforehand formed on a frame 2, in case packaging is performed, compared with the former, especially a production process is not complicated that what is necessary is just to perform positioning of the lead layer 3 and a semiconductor chip 1 once.

[0021] Finally, thermosetting resin 6 is used and the mold of a package is performed. Since the nose of a frame 2 is used at this time in case it fixes, the mold of the point is not carried out. Moreover, naturally the mold of the point of the external contact pin 10 of the lead layer 3 is not carried out. In addition, in order to make drawing intelligible, the mold of resin 6 was indicated only in the plan of drawing 1 (A).

[0022] Although drawing 1 (A) and (B) are the examples in the case of connecting a lead with a bonding pad with a wire 8, they can also form a bump 7 in a pad. This example of connection was shown in drawing 1 (C).

[0023] The lead extension 18 is extended on the connectability glue line 5 side from the lead layer 3, and bump 7a, such as gold, is formed at the tip. Bump 7b of gold plate or solder plating is formed also in the location where the semiconductor chip 1 surface corresponds. Electrical installation is formed by connecting both the bumps 7a and 7b. A package production process can be simplified by this bump 7.

[0024] Although the semiconductor chip 1 was insulated from the frame 2 in drawing 1, it may be more desirable to connect a semiconductor chip 1 and a frame 2, in order to measure stabilization of the potential distribution in a semiconductor chip.

[0025] In this case, as shown in drawing 3 (A) and (B), it is desirable to form a opening as shown according to M points of drawing in the portion of the frame 2 corresponding to the substrate node of a semiconductor chip 1, and to connect a frame 2 and a substrate node to it. In addition, in the example

shown in drawing 3 , in order to make a drawing legible, illustration of the mold of the package by insulating resin 6 is omitted. Although it is the same also in the following drawings, mold is carried out in fact [all].

[0026] Furthermore, the case where a frame 2 is connected to a grounding conductor or a power supply line is shown in drawing 4 as another example of this invention. It is convenient if you use for mounting of an MOS memory device. Drawing 4 (A) shows the case where drawing 4 (B) divides a frame 2 in the direction of a long side when a frame 2 is divided into two in the direction of a shorter side.

[0027] each intercept of a frame -- new -- the external contact pin 10 of the lead layer 3 -- parallel -- addition -- noses 20 and 21 are formed. Moreover, openings M1 and M2 are formed in each intercept of a frame, and power supply wiring of a semiconductor chip is connected to each intercept of a frame.

[0028] addition -- since the point of noses 20 and 21 is connected to the grounding conductor or the power supply line, respectively, naturally the mold by resin 6 is not given. in addition, the ** which does not divide a frame 2 depending on the case -- addition -- only a nose 20 may be formed.

[0029] Although this invention was explained in accordance with the example above, this invention is not restricted to these. For example, probably, it will be obvious to this contractor for various modification, amelioration, combination, etc. to be possible.

[0030]

[Effect of the Invention] As explained above, according to this invention, high-reliability packaging by the LOC structure of a semiconductor device can be performed easily, without being accompanied by enlargement of a package, and the tylosis. Consequently, it can carry out by the manufacturing process by which the packaging of a high integration semiconductor chip was also simplified, and improvement in cost reduction and reliability can be aimed at.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-29454

(43)公開日 平成6年(1994)2月4日

(51)IntCl.⁵

H01L 23/50

識別記号

Y 9272-4M

S 9272-4M

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平4-182661

(22)出願日 平成4年(1992)7月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 永山 宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

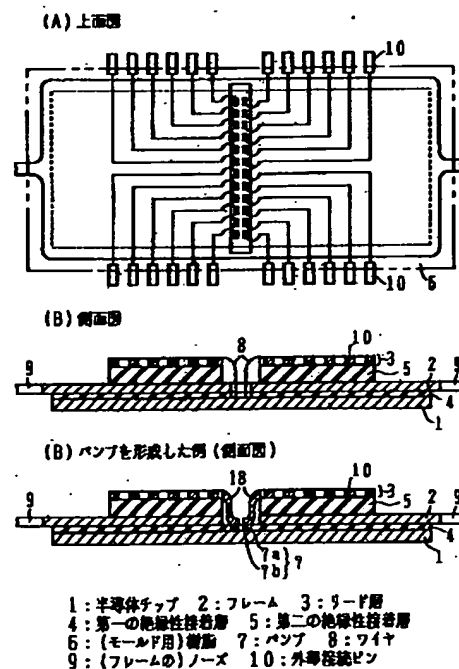
(54)【発明の名称】 半導体デバイス

(57)【要約】

【目的】 リードオンチップ方式のパッケージ構造を有する集積化半導体デバイスに関し、厳しい温湿度環境で使用しても、発生する歪応力が半導体チップに及ぼす影響を最小限に抑制できるLOC構造の半導体装置を提供することを目的とする。

【構成】 半導体素子を集積化した半導体チップと、半導体チップの表面に第1の絶縁性接着層を介して積層され、貫通孔を有するフレームと、該フレーム上に第2の絶縁性接着層を介して積層されたリード層と、前記貫通孔を介して該リード層と前記半導体チップ間の電気的接続を行なう導電部材と、半導体チップ全体をモールドする樹脂とを有する。

実施例



【特許請求の範囲】

【請求項1】 半導体素子を集積化した半導体チップ（1）と、
半導体チップ（1）の表面に第1の絶縁性接着層（4）を介して積層され、貫通孔を有するフレーム（2）と、
該フレーム（2）上に第2の絶縁性接着層（5）を介して積層されたリード層（3）と、
前記貫通孔を介して該リード層（3）と前記半導体チップ（1）間の電氣的接続を行なう導電部材（8）と、
半導体チップ（1）全体をモールドする樹脂（6）とを有する半導体デバイス。

【請求項2】 前記リード層（3）と半導体チップ（1）との間の電氣的接続を行なう導電部材（8）が、該半導体チップ（1）表面に設けられたバンパ（7b）と前記リード層（3）端部に設けられたバンパ（7a）とを含む請求項1記載の半導体デバイス。

【請求項3】 前記フレーム（2）の一部を前記樹脂（6）の外部に延在させ、該部位に接地線または電源線を接続した請求項1ないし2記載の半導体デバイス。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体デバイスに関し、特にリードオンチップ方式のパッケージ構造を有する集積化半導体デバイスに関する。

【0002】近年、半導体デバイスの集積度が高まるにつれて、LSIデバイスのパッケージングにも工夫が凝らされるようになってきた。多数の入出力端子と集積化半導体チップ間を超高速の電気信号を伝達するためには、配線経路を最短にし、かつ実装配線の自由度を確保する必要がある。この目的に叶うパッケージングとして実用化されているのがリードオンチップ（LOC）構造である。

【0003】

【従来の技術】LOC方式のパッケージングは、半導体チップ上に緩衝材を介してリード層を積層、配線してシステムにマウントし、モールドした構造を持つ。図2（A）はその上面図、図2（B）は断面図を示している。

【0004】すなわち、フレーム（ステム）12上にマウントされた半導体チップ11には、多数の半導体素子が集積化され、チップ中央部にボンディングパッドが集中配線されている。

【0005】半導体チップ11上に設けられた分厚い絶縁層14およびその上に設けられたリード層13の貫通孔を介してワイヤ15が前記半導体チップ11中央部のボンディングパッドとリード層13間を接続している。

【0006】この状態で、LOCは樹脂層16によってモールドされ、外気と遮断される。モールド部分からはフレーム12の固定端子23およびリード層13の外部接続ピン22だけが外部へ突出した構造となっている。

【0007】

【発明が解決しようとする課題】リード層13、外部接続ピン22は、合金（通常、鉄-ニッケル合金）製であり、比較的熱膨張係数大きい。LOCパッケージは様々な条件下で使用されるが、十分に制御された温湿度環境以外に置かれた時、該パッケージの樹脂モールドが熱や湿度の影響で不均一に収縮する。

【0008】この時、リード層13、外部接続ピン22が、モールド層の各部位で不均一な歪応力を発生させ、極端な場合には、そのストレスが絶縁層14に伝播して半導体チップ11の保護層を兼ねている絶縁層14を破損する。この結果、破損部位からは湿度等が侵入して、短絡等の事故発生の原因となる。

【0009】これを避けるためには、単位面積当たりのストレスを減らす目的で、リード層13、外部接続ピン22の間隔を広げたり、歪耐圧を増やす目的で絶縁層14の膜厚を増加させたりする必要が生ずる。この結果、LOC構造が、大型化、肥厚化し、薄型パッケージ内に収納できないという問題点が生じた。

【0010】本発明の目的は、厳しい温湿度環境で使用しても、発生する歪応力が半導体チップに及ぼす影響を最小限に抑制できるLOC構造の半導体装置を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体デバイスにおいては、半導体チップとリード層をフレームによって分離したLOC構造をとる。

【0012】すなわち、本発明の半導体デバイスは、半導体素子を集積化した半導体チップと、半導体チップの表面に第1の絶縁性接着層を介して積層され、貫通孔を有するフレームと、該フレーム上に第2の絶縁性接着層を介して積層されたリード層と、前記貫通孔を介して該リード層と前記半導体チップ間の電氣的接続を行なう導電部材と、半導体チップ全体をモールドする樹脂とを有する。

【0013】

【作用】半導体チップをリード層からフレームによって分離することによって、全体の厚みを増すことなく、リード層からの歪応力をフレームで遮断することができる。この結果、薄型パッケージングにおいてもLOC機能が失われることはない。

【0014】以下、本発明を実施例に基づいてより詳しく述べる。

【0015】

【実施例】図1は、本発明の実施例である半導体デバイスのパッケージ構造概略を示す上面図（A）および断面図（B）である。

【0016】上面中央部にボンディングパッドを配置した半導体チップ1の上面は、ボンディングパッド部のみを開口した状態で第1の絶縁性接着層4に被覆され、フ

フレーム2の下面に接着されている。

【0017】第1の絶縁性接着層4は、たとえば、熱硬化性樹脂からなり、常温では粘性を持つので接着剤の役割も果たす。フレーム2には、前記半導体チップ1のボンディングパッド部に開口した貫通孔が設けられている。

【0018】一方、リード層3は、フレーム2の上面側に配置され、第2の絶縁性接着層5を介して接着されている。第2の絶縁性接着層5は、リード層3のコンタクトホールと同様の貫通孔を有しており、たとえばポリイミド被覆の酸化膜からなる。

【0019】リード層3と外部接続ピン10は、たとえば鉄-ニッケルの42合金からなる。リード層3のリードと半導体チップ1のボンディングパッド間は、ワイヤ8によって接続される。

【0020】図1(A)、(B)のようなLOC構造では、フレーム2上に予めリード層3を形成しておくことができるので、パッケージングを行なう際、リード層3と半導体チップ1の位置決めを一度行なうだけでよく、従来と較べて、特に工程が複雑化することはない。

【0021】最後に、熱硬化性樹脂6を用いてパッケージのモールドを行なう。この時、フレーム2のノーズは固定する際に使用されるので、先端部はモールドしない。また、リード層3の外部接続ピン10の先端部も、当然モールドされていない。なお、図を判りやすくするために、樹脂6のモールドは図1(A)の上面図においてのみ記載した。

【0022】図1(A)、(B)は、ボンディングパッドとリードをワイヤ8によって接続する場合の例であるが、パッドにバンパ7を形成することもできる。この接続例を、図1(C)に示した。

【0023】リード層3から接続性接着層5側面上にリード延長部18を延ばし、その先端に金等のバンパ7aを形成する。半導体チップ1表面の対応する位置にも金メッキや半田メッキのバンパ7bを形成する。両バンパ7a、7bを接続することにより、電気的接続を形成する。このバンパ7によって、パッケージ工程を簡素化することができる。

【0024】図1では、半導体チップ1はフレーム2から絶縁されていたが、半導体チップ内の電位分布の安定化を計るために、半導体チップ1とフレーム2とを接続する方が望ましい場合がある。

【0025】この場合は、図3(A)、(B)に示すように、半導体チップ1の基板ノードに対応するフレーム2の部分に、図のM点で示すような開口を形成し、フレーム2と基板ノードとを接続することが好ましい。なお、図3に示した実施例では、図面を見やすくするために、絶縁性樹脂6によるパッケージのモールドの図示を省略してある。以下の図面においても同様であるが、実際には全てモールドされている。

【0026】さらに、本発明の別の実施例として、フレーム2を接地線や電源線に接続する場合を、図4に示す。MOSメモリデバイスの実装に用いると便利である。図4(A)は、フレーム2を短辺方向に2分割した場合を、また図4(B)はフレーム2を長辺方向に分割した場合を示す。

【0027】フレームの各切片には、新たにリード層3の外部接続ピン10と平行に付加ノーズ20、21が設けられている。また、フレームの各切片には開口M1、M2が形成され、半導体チップの電源配線をフレームの各切片に接続する。

【0028】付加ノーズ20、21の先端部は、それぞれ接地線や電源線に接続されているので、当然樹脂6によるモールドは施されていない。なお、場合によっては、フレーム2を分割せずに、付加ノーズ20のみを設けてもよい。

【0029】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0030】

【発明の効果】以上説明したように、本発明によれば、半導体デバイスのLOC構造による高信頼性パッケージングを、パッケージの大型化、肥厚化を伴うことなく容易に行なうことができる。この結果、高集積化半導体チップのパッケージングも簡素化された製造工程で行なうことができ、コスト低減、信頼性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体デバイスのLOC型パッケージ構造の概略を示す。図1(A)および(B)は、リードと半導体チップ上のパッドをワイヤで接続した例を、また図1(C)は半導体チップとリードとにバンパを設けて接続した例を示す。

【図2】従来例によるLOCパッケージング型の半導体デバイスを示す。図2(A)は上面図、図2(B)は側面図である。

【図3】本発明の別の実施例による半導体デバイスのパッケージ構造概略を示す。

【図4】本発明のさらに別の実施例による半導体デバイスのパッケージ構造概略を示す。図は、いずれも上面図のみで、図4(A)はフレーム短辺方向にフレームを分割した例、図4(B)はフレーム長辺方向にフレームを分割した例を示す上面図である。

【符号の説明】

- 1 半導体チップ
- 2 フレーム
- 3 リード層
- 4 第1の絶縁性接着層
- 5 第2の絶縁性接着層

5

6

- 6 (モールド用)樹脂
- 7 パンプ
- 8 ワイヤ
- 9 (フレームの)ノーズ
- 10 外部接続ピン
- 11 半導体チップ
- 12 フレーム
- 13 リード層

- 14 絶縁層
- 15 ワイヤ
- 16 樹脂層
- 18 リードの延長部
- 20、21 付加ノーズ
- 22 外部接続ピン
- 23 (フレームの)固定端子
- M 開口

【図1】

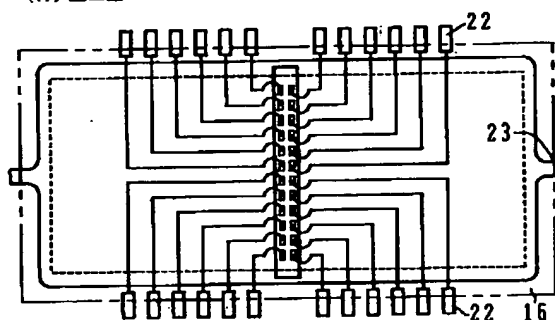
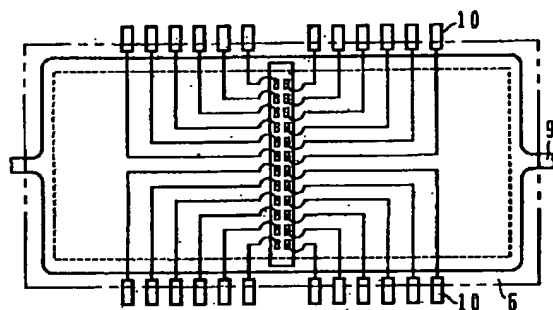
【図2】

実施例

従来例

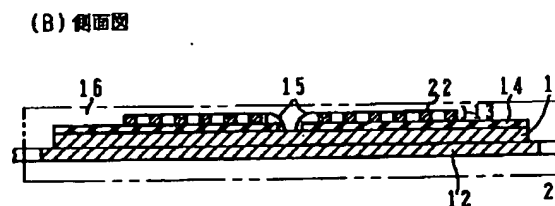
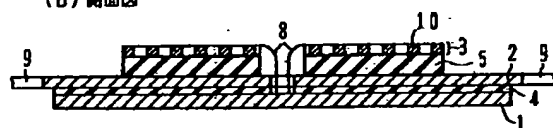
(A) 上面図

(A) 上面図



(B) 側面図

(B) 側面図



(B) パンプを形成した例 (側面図)

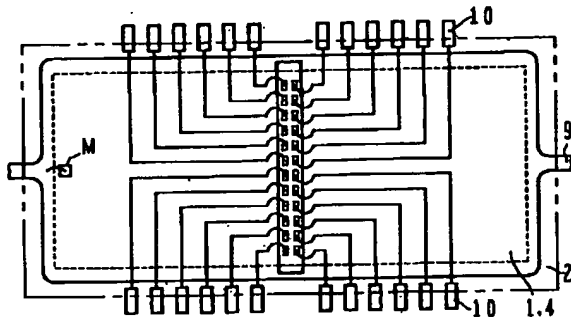
- 1: 半導体チップ 2: フレーム 3: リード層
- 4: 第一の絶縁性接着層 5: 第二の絶縁性接着層
- 6: (モールド用)樹脂 7: パンプ 8: ワイヤ
- 9: (フレームの)ノーズ 10: 外部接続ピン

- 11: 半導体チップ 12: フレーム 13: リード層
- 14: 絶縁層 15: ワイヤ 16: 樹脂層
- 22: 外部接続ピン 23: (フレームの)固定端子

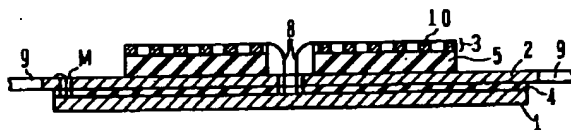
【図3】

別の実施例

(A) 上面図



(B) 側面図

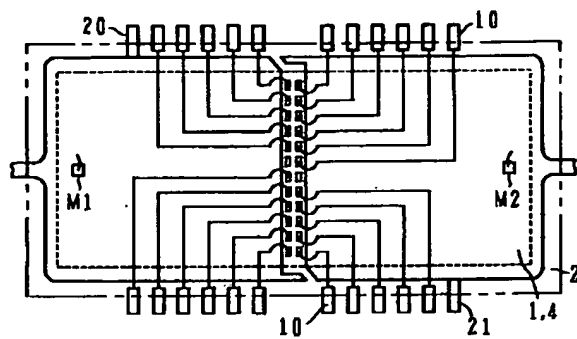


1: 半導体チップ 2: フレーム 3: リード層
 4: 第一の絶縁性接着層 5: 第二の絶縁性接着層
 8: ワイヤ 10: 外部接続ピン

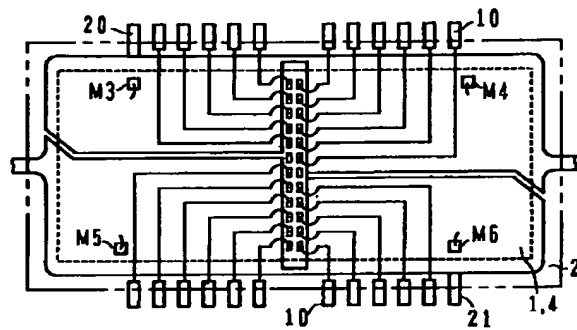
【図4】

分割フレームの実施例

(A) フレーム短辺に沿う分割例 (上面図)



(B) フレーム長辺に沿う分割例 (上面図)



20, 21: 付加ノーズ